

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

013373265 \*\*Image available\*\*

WPI Acc No: 2000-545203/200050

XRAM Acc No: C00-162433

XRPX Acc No: N00-403349

Formation of bonded semiconductor-on-insulator for semiconductor devices comprises forming a gettering zone of pure semiconductor material that includes active gettering sites

Patent Assignee: INTERSIL CORP (INTE-N); HARRIS CORP (HARO )

Inventor: LINN J; SPEECE W; LINN J H; ROUSE G V; SHLEPR M G; SPEECE W H

Number of Countries: 027 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1032027	A2	20000830	EP 2000101783	A	20000128	200050 B
JP 2000260777	A	20000922	JP 200023611	A	20000201	200054
US-6255195	B1	20010703	US 99255231	A	19990222	200140
US 20010016399	A1	20010823	US 99255231	A	19990222	200151
			US 2001846795	A	20010501	

Priority Applications (No Type Date): US 99255231 A 19990222; US 2001846795 A 20010501

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 1032027	A2 E	11	H01L-021/322	

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT  
LI LT LU LV MC MK NL PT RO SE SI

JP 2000260777 A 9 H01L-021/322

US 6255195 B1 H01L-021/30

US 20010016399 A1 H01L-021/30 Div ex application US 99255231  
Div ex patent US 6255195

Abstract (Basic): EP 1032027 A2

NOVELTY - A bonded semiconductor-on-insulator (SOI) substrate is formed by heating a monocrystalline semiconductor wafer to coalesce a zone damaged by lattice defects to form a planar intrinsic gettering zone of pure semiconductor material that includes active gettering sites.

DETAILED DESCRIPTION - Formation of a bonded SOI substrate comprises implanting monocrystalline ions to a depth in a wafer surface of a monocrystalline semiconductor material to form an amorphous layer adjacent to the surface. The amorphous layer extends to a planar zone at the depth comprising the monocrystalline semiconductor material damaged by lattice defects, i.e. end-of-range implant damage. Undamaged material below the depth comprises a first layer of the monocrystalline semiconductor material. The wafer is heated to convert the amorphous layer to a second layer and to coalesce the damaged zone to form a planar intrinsic gettering zone of pure semiconductor material that includes active gettering sites at the depth. An insulating bond layer on one surface of a handle wafer is bonded to the surface of the wafer to form a bonded SOI substrate. An INDEPENDENT CLAIM is also included

for a bonded SOI substrate (10) comprising a handle wafer (11) having on one surface (12) an insulating bond layer (13) and a semiconductor device wafer (14) bonded to insulating layer. The wafer has a first and a second layer (16) separated by a gettering zone (17). An epitaxial monocrystalline semiconductor layer (18) is deposited on the surface (19) of the second layer.

USE - For forming a bonded semiconductor-on-insulator substrate for semiconductor devices, e.g. bipolar junction transistor, field effect transistor, capacitor, resistor, thyristor comprising integrated circuits (claimed).

ADVANTAGE - The narrowly restricted gettering zone near the device regions increases the efficiency of the contaminant removal from those regions and facilitates small geometry manufacture. Because the gettering zone comprises pure semiconductor material, its formation affects only the structural characteristics and not the electrical characteristics of the wafer. Thus, the bonded substrate is reliably constructed and provides excellent structural stability to devices formed on it over a wide range of processing temperature and conditions.

DESCRIPTION OF DRAWING(S) - The figure shows a schematic cross-section of the bonded semiconductor-on-insulator substrate.

SOI substrate (10)  
Handle wafer (11)  
Wafer surface (12)  
Insulating layer (13)  
Semiconductor wafer (14)  
Second monocrystalline layer (16)  
Gettering zone (17)  
Epitaxial layer (18)  
Second layer surface (19)

pp; 11 DwgNo 1/4

Title Terms: FORMATION; BOND; SEMICONDUCTOR; INSULATE; SEMICONDUCTOR; DEVICE; COMPRISE; FORMING; GETTER; ZONE; PURE; SEMICONDUCTOR; MATERIAL; ACTIVE; GETTER; SITE

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/30; H01L-021/322

International Patent Class (Additional): H01L-021/20; H01L-021/265; H01L-021/331; H01L-021/36; H01L-021/46; H01L-021/762; H01L-027/12; H01L-029/73; H01L-029/732

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06674951 \*\*Image available\*\*

METHOD FOR FORMING COUPLED SUBSTRATE CONTAINING PLANAR INTRINSIC GETTERING

ZONE, AND SUBSTRATE FORMED BY THE METHOD

PUB. NO.: 2000-260777 [JP 2000260777 A]

PUBLISHED: September 22, 2000 (20000922)

INVENTOR(s): LINN JACK

SPEECE WILLIAM

APPLICANT(s): INTERSIL CORP

APPL. NO.: 2000-023611 [JP 200023611]

FILED: February 01, 2000 (20000201)

PRIORITY: 255231 [US 99255231], US (United States of America), February 22, 1999 (19990222)

INTL CLASS: H01L-021/322; H01L-021/265; H01L-021/762; H01L-027/12; H01L-021/331; H01L-029/73

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To provide a method for forming a semiconductor device and an integrated circuit for manufacturing a coupled semiconductor-on-insulator.

**SOLUTION:** In this method for forming a coupled substrate, ions of a semiconductor material are implanted into a depth selected by a wafer on the surface of a wafer 15 of a single crystal semiconductor material, and an amorphous layer of the semiconductor material is formed at a position adjacent to the surface. A layer 25 of the amorphous semiconductor material is substantially positioned in the selected depth and is expanded up to a zone which is a substantially plane composed of the monocrystal semiconductor material damaged by lattice defects, namely extended to the end part of the range of ion implantation damages. An undamaged material 26 under the selected depth is composed of a first layer 15 of the single crystal semiconductor material. The wafer causes the amorphous layer to change into a second layer 16 of the single crystal semiconductor material, and further the second layer 16 is heated under conditions effective to combine the zone of the single crystal semiconductor material damaged into one, and forms an intrinsic gettering zone 17.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-260777

(P2000-260777A)

(43)公開日 平成12年9月22日 (2000.9.22)

(51)Int.Cl.

H 0 1 L 21/322

21/265

21/762

27/12

21/331

識別記号

F I

マークド (参考)

H 0 1 L 21/322

J

27/12

B

21/265

N

21/76

D

29/72

審査請求 未請求 請求項の数11 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-23611(P2000-23611)

(22)出願日 平成12年2月1日 (2000.2.1)

(31)優先権主張番号 255231

(32)優先日 平成11年2月22日 (1999.2.22)

(33)優先権主張国 米国 (U.S.)

(71)出願人 599141504

インターナル コーポレイション

INTERSIL CORPORATION

アメリカ合衆国 フロリダ州 32905 パー  
ム・ベイ エヌ・イー バーム・ベイ・  
ロード 2401

(72)発明者 ジャック, リン

アメリカ合衆国, フロリダ州 32940,  
メルバーン, サザン・ヒルズ・コート  
512番

(74)代理人 1000070150

弁理士 伊東 忠彦 (外1名)

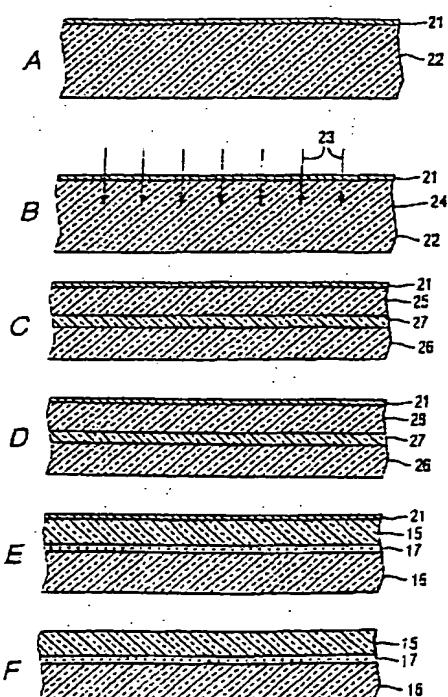
最終頁に続く

(54)【発明の名称】 ブラナーイントリンシックゲッタリングゾーンを含む結合基板の形成方法とその方法により形成された基板

(57)【要約】 (修正有)

【課題】 半導体デバイス及び集積回路製造用の結合半導体-オン-絶縁体の形成方法を提供する。

【解決手段】 単結晶半導体材料のウエハ15表面に、そのウエハの選択された深さへ半導体材料のイオンを注入させ、表面に隣接した位置に、半導体材料のアモルファス層を形成させる。そのアモルファス半導体材料の層25は、選択された深さに実質的に位置し、格子欠陥により損傷を受けた単結晶半導体材料からなる実質的に平面であるゾーン、つまりイオン注入損傷の範囲の端部まで広がる。選択された深さの下にある未損傷材料26は、単結晶半導体材料の第一の層15からなる。そのウエハは、アモルファス層を単結晶半導体材料の第二の層16へ変換させ、さらに損傷を受けた単結晶半導体材料のゾーンを合体させるのに効果的な条件下で加熱され、イントリンシックゲッタリングゾーン17が形成する。



## 【特許請求の範囲】

【請求項 1】 単結晶半導体材料を有するウエハを用いて、半導体デバイス及び集積回路用の結合半導体－オナー－絶縁体基板の形成方法であって、前記ウエハの選択された深さへ単結晶半導体ウエハの表面を介して半導体材料のイオンを注入し、前記表面に隣接した位置に、前記選択された深さに実質的に位置する実質的に平面であるゾーンへ伸長し、格子欠陥により損傷を受けた単結晶半導体材料からなるアモルファス半導体層と、単結晶半導体材料の第一の層からなる前記選択された深さの下にある未損傷の単結晶半導体材料とを形成させ、前記アモルファス半導体層を単結晶半導体材料の第二の層へ変換するのに効果的な条件下で加熱し、格子欠陥により損傷を受けた単結晶半導体材料の前記ゾーンを合体させるのに効果的な条件下でウエハを加熱し、よって実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトを含み、前記選択された深さに実質的に位置する実質的に平面であるイントリンシックゲッタリングゾーンが形成されて、ある表面に絶縁結合層を含み、前記ウエハの前記表面と前記絶縁結合層とが結合したハンドルウエハが生じ、もってハンドルウエハと、絶縁結合層と、単結晶半導体デバイスウエハからなる結合半導体－オナー－絶縁体基板が形成されることからなり、前記デバイスウエハは実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトを含み、実質的に平面であるイントリンシックゲッタリングゾーンを含む方法。

【請求項 2】 前記単結晶半導体材料はシリコンからなり、前記注入イオンはシリコンイオンからなり、前記ハンドルウエハはシリコンからなり、前記絶縁結合層は二酸化ケイ素からなる請求項 1 記載の方法。

【請求項 3】 単結晶半導体のウエハはその表面に位置する酸化物の層をさらに含み、半導体材料の前記イオンが前記酸化物の層と前記表面介して前記ウエハに注入され、前記酸化物の層は約 1 nm から約 50 nm の厚さを有することが好ましく、前記イオン注入は約 10<sup>14</sup> から 10<sup>18</sup> イオン/cm<sup>2</sup> の線量で、約 50 keV から 250 keV のエネルギーで行われる請求項 2 記載の方法。

【請求項 4】 前記単結晶半導体ウエハでの前記イオン注入は、約 0.1 μm から約 2.0 μm の選択された深さへ行われ、前記単結晶半導体ウエハでの前記イオン注入は、約 0.2 μm から約 0.6 μm の選択された深さへ行われることが好ましく、単結晶半導体材料の前記第一の層は約 0.1 μm から約 0.8 μm の厚さを有し、単結晶半導体材料の前記第一の層は約 0.2 μm から約 0.4 μm の厚さを有することが好ましく、格子欠陥により損傷を受けた単結晶半導体材料の前記ゾーンは約 0.2 μm から約 0.4 μm の厚さを有する請求項 1 記載の方法。

【請求項 5】 前記アモルファス半導体層を単結晶半導

体材料の前記第二の層へ変換させるのに効果的な条件下での前記ウエハの加熱は、約 450°C から約 1200°C の温度で約 1.5 分から約 8 時間行われ、好ましくは前記加熱は約 550°C から約 620°C の温度で約 2 時間から約 6 時間行われる請求項 1 記載の方法。

【請求項 6】 格子欠陥により損傷を受けた単結晶半導体材料の前記ゾーンを合体させて前記実質的に平面であるゲッタリングゾーンへ変化させるのに効果的な条件下での前記ウエハの加熱は、約 800°C から約 1200°C の温度で約 1 時間から約 6 時間行われ、好ましくは前記加熱は 1000°C から約 1150°C の温度で約 2 時間から約 4 時間行われ、前記ゲッタリングゾーンは約 0.05 μm から約 0.2 μm の厚さを有し、好ましくは前記ゲッタリングゾーンは約 0.1 μm の厚さを有する請求項 1 記載の方法。

【請求項 7】 単結晶半導体材料の前記第二の層を約 0.2 μm から約 2.0 μm の厚さへ薄くすることを特徴とする請求項 1 記載の方法。

【請求項 8】 エピタキシャル単結晶半導体材料の層を単結晶半導体材料の薄くなった前記第二の層に堆積されることを特徴とする請求項 7 記載の方法。

【請求項 9】 前記半導体デバイスはバイポーラ接合型トランジスタ、電界効果トランジスタ、コンデンサ、抵抗器、サイリスタ及び集積回路からなるそれらの組合わせからなる群から選択される請求項 8 記載の方法。

【請求項 10】 単結晶半導体材料からなり、第一の表面及び第二の表面を有し、前記第一の表面に隣接した単結晶半導体材料の第一の層と、前記第二の表面に隣接した単結晶半導体材料の第二の層と、単結晶半導体材料の前記第一及び前記第二の層の間に介在させた層とを有するウエハにおいて、実質的に平面であるゲッタリングゾーンは実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトを含み、絶縁結合層は前記ウエハの前記第二の表面に位置し、ハンドルウエハは前記絶縁結合層に結合し、エピタキシャル単結晶半導体材料の層が単結晶半導体材料の前記第二の層に位置する半導体デバイス及び集積回路用の結合半導体－オナー－絶縁体基板であって、前記単結晶半導体材料はシリコンからなり、注入イオンはシリコンイオンからなり、前記ハンドルウエハはシリコンからなり、前記絶縁結合層は二酸化ケイ素からなり、単結晶半導体材料の前記第一の層は約 0.1 μm から約 0.8 μm の厚さを有し、好ましくは単結晶半導体材料の前記第二の層は約 0.2 μm から約 2.0 μm の厚さを有する基板。

【請求項 11】 前記ゲッタリングゾーンは約 0.05 μm から約 0.2 μm の厚さを有し、請求項 10 記載の基板の単結晶半導体材料の第二の層、若しくは前記第二の層に堆積されたエピタキシャル単結晶半導体材料の層に、二つ以上のデバイスと、他のデバイスから周辺デバイスを横に分離させる少なくとも一つの前記デバイスを

囲繞する一つ以上の溝とを具備する基板であって、前記デバイスはバイポーラ接合型トランジスタ、電界効果トランジスタ、コンデンサ、抵抗器、サイリスタ及び集積回路からなるそれらの組合せからなる群から選択される請求項10記載の基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスでのゲッタリングに係り、より詳細には、平面である(プランナー: planar)イントリンシックゲッタリングゾーンを含む結合半導体-オーン-絶縁体基板(bonded semiconductor-on-insulator substrate)の形成方法と、その結合基板に形成された半導体デバイス及び集積回路に関する。

【0002】

【従来の技術】集積回路製造及び処理段階において、シリコンウエハは、鉄、ニッケル、亜鉛、クロムなどの金属不純物に晒され、これらの不純物は最終生産物の歩留まり、性能若しくは信頼性を最終的に低下させる。上記不純物はステンレス鋼のウエハハンドラーやツールと接触、高温処理チャンバーでの加熱コイル又はランプからの金属性物質の拡散、又はプラズマチャンバー壁から剥がれるスパッタ破片から発生する。

【0003】ゲッタリングは汚染不純物を、典型的には遷移金属に影響を受け易い半導体デバイス領域から除去し、ウエハの他の比較的良好な領域に捕獲することを一般的に言う用語である。ゲッタリングは、WolfとTauberによる「Silicon Processing in the VLSI Era」Vol. 1, 1986, Lattice Press, pp 61-70に説明されている。通常、ゲッタリングは3つの段階で進行する。

1) 元来安定な状態からの汚染要素の放出と、半導体結晶格子の固溶体へのウエハの場所への移動と、2) 影響受け易いデバイス構造から又は影響されやすい構造が最終的に形成されるべき領域から、結晶を介しての汚染物の拡散と、3) 動作の干渉を回避するために、装置から十分離れ、後に続く熱的、化学的及びプラズマ処理中に、将来の開放、又はウエハへのディスチャージを防止するのに十分安定な位置で、転位又は析出のような拡張欠陥による汚染物の捕獲、がある。

【0004】ゲッタリング機構には二つの基本的カテゴリーがあり、エクストリンシック、つまりエクスターナルと、イントリンシック、つまりインターナルである。上記カテゴリーは米国特許第4,608,096号の明細書に開示されている。

【0005】エクストリンシックゲッタリングでは、外部手段(通常ウエハの裏面で)の使用を伴い、シリコン格子にダメージ又は応力が発生し、可動金属捕捉が可能な拡張欠陥が生じる。エクストリンシックゲッタリングアプローチの例には、ニッケル、金、鉄、銅などと結合する裏面拡散リン又はヒ素ドーピングと、アブレージョ

ン、グルーピング、サンドプラスティング、レーザ変形、イオン注入、ポリシリコン堆積などにより発生した機械的又は物理的ウエハ裏面ダメージがある。

【0006】一般には、イントリンシックゲッタリングは、例えば、格子間酸素(5-25ppma)を含むチョクラルスキー成長単結晶ウエハのようなシリコンウエハのバルク材料内に存在する拡張欠陥での不純物の局所捕捉により行われる。通常、イントリンシックゲッタリングには、固溶体から分離し、熱処理中に二酸化ケイ素のクラスターを形成する酸素により、シリコンウエハの領域又はゾーンの過飽和が伴う。クラスターの塊から生じる応力は、不純物の捕捉可能な積層欠陥及び転位ループが生じる。効果的にするために、クラスターはアクティブデバイスサイトから離れたウエハのバルクで形成されなければならない。したがって、析出の閾値以上の酸素レベルは、アクティブデバイスが後に形成され、永久に存在する場所の領域では避けなければならない。

【0007】さまざまなアプローチが過去にとられており、結合半導体-オーン-絶縁体基板にゲッタリング領域を提供している。例えば、米国特許第5,063,133号明細書には、ゲッタリングサイトの欠陥は、熱処理により半導体層に誘導される。しかしながら、その欠陥は層全体に亘り、外部表面に伸長して、垂直に分布しており、その欠陥は他の層を有する層の結合に悪影響を与えることもある。加えて、前記層を研削及び研磨により、ゲッタリングサイトの実質的な損失が結果として生じる。

【0008】米国特許第5,299,305号明細書には、ホウ素、アルゴン、クリプトン、又は好ましくは酸素イオンを半導体層の研磨面への注入方法が開示されており、その後熱処理を行って層にゲッタリングサイトを生じさせている。半導体層の研磨面はそれからハンドル基板に結合されるが、シリコンイオンをシリコン基板へ注入することはしない。高密度ゲッタリングゾーンを生じさせるために、大きな注入線量が必要である。かかる非半導体イオンの線量は半導体基板の電気的特性を変化させる。

【0009】通常利用されるゲッタリング技術は、多くの所望の半導体デバイスでの用途では不充分である。例えば、デバイスの裏面処理によるゲッタリングサイトの形成は、半導体-オーン-絶縁体構造への応用には一般的には相応しくない。更に、ゲッタリングサイトを生じさせる欠陥は、しばしばウエハ全体で無差別に散乱して発生し、よってその後ウエハに形成されたデバイスの性能に悪影響を与える。

【0010】ハンドルウエハに結合の完全さを促進させる滑らかな表面を有し、金属汚染の影響を特に受け易いデバイスのオーバラップサイトに近いが、支障をきたさない明確に限定されたイントリンシックゲッタリングゾーンを含む高品質半導体デバイスを具備する集積回路用

の、結合半導体-オナー-絶縁体基板の製造方法が必要とされている。更に、基板内でのゲッタリングゾーンの形成により、実質的に変化しない電気的特性のある半導体基板も望まれている。本発明は上記要望を満たすものである。

## 【0011】

【発明が解決しようとする課題】本発明は上述の点に鑑みてなされたものであり、半導体デバイス及び集積回路製造用の結合半導体-オナー-絶縁体基板とその形成方法を提供することを目的とする。

## 【0012】

【課題を解決するための手段】上記の目的は、単結晶半導体材料を有するウエハを用いて、半導体デバイス及び集積回路用の結合半導体-オナー-絶縁体基板の形成方法の段階は、前記ウエハの選択された深さへ単結晶半導体ウエハの表面を介して半導体材料のイオンを注入して、前記表面に隣接した位置に、前記選択された深さに実質的に位置する実質的に平面なゾーンへ伸長し、格子欠陥により損傷を受けた単結晶半導体材料からなる半導体材料のアモルファス半導体層と、単結晶半導体材料の第一の層からなる前記選択された深さの下にある未損傷の半導体材料とを形成し、前記アモルファス半導体層を単結晶半導体材料の第二の層へ変換するのに効果的な条件下で加熱し、格子欠陥により損傷を受けた単結晶半導体材料の前記ゾーンを合体させるのに効果的な条件下でウエハを加熱し、よって実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトを含み、前記選択された深さに実質的に位置する実質的に平面であるイントリンシックゲッタリングゾーンが形成されて、ある表面に絶縁結合層を含み、前記ウエハの前記表面と前記絶縁結合層とが結合したハンドルウエハが生じ、もってハンドルウエハと、絶縁結合層と、単結晶半導体デバイスウエハからなる結合半導体-オナー-絶縁体基板が形成されることからなり、実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトを含む実質的に平面であるイントリンシックゲッタリングゾーンを含むデバイスウエハより達成される。

【0013】単結晶半導体材料のウエハ表面へ、半導体材料のイオンをウエハの選択された深さに注入し、その表面に隣接した位置に、半導体材料のアモルファス層を形成する。アモルファス半導体材料の層は、選択された深さに実質的に位置する実質的に平面であるゾーンへ広がり、格子欠陥により損傷を受けた、つまり注入損傷範囲の端部の単結晶半導体材料からなる。選択された深さ以下の未損傷材料は、単結晶半導体材料の第一の層からなる。

【0014】ウエハは、アモルファス層を単結晶半導体材料の第二の層へ変換させ、損傷を受けた単結晶半導体材料のゾーンを合体させるのに効果的な条件下で加熱され、よって選択された深さ実質的に位置する活性ゲッタ

リングサイトを具有する実質的に純度の高い半導体材料の実質的に平面であるイントリンシックゲッタリングゾーンが形成される。

【0015】ハンドルウエハのある表面の絶縁結合層は、ウエハのその表面と結合して、ハンドルウエハと、絶縁結合層と、単結晶半導体材料のデバイスウエハとかなる結合半導体-オナー-絶縁体基板を形成する。デバイスウエハは、実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトを含む実質的に平面であるイントリンシックゲッタリングゾーンを具有する。

【0016】更に、本発明によれば、結合半導体-オナー-絶縁体基板は、実質的に純度の高い材料からなり、活性ゲッタリングサイトを含むプラナーイントリンシックゲッタリングゾーンにより分離された単結晶半導体材料の二つの層を含むウエハを具有する。

【0017】更に、本発明は半導体デバイス及び集積回路用の結合半導体-オナー-絶縁体基板に係り、前記基板は単結晶半導体材料からなり、第一の表面及び第二の表面のあるウエハを有する。そのウエハは、前記第一の表面に隣接した単結晶半導体材料の第一の層と、前記第二の表面に隣接した単結晶半導体材料の第二の層と、単結晶半導体材料の第一と第二との層の間に介在する層とかなる。実質的に平面であるイントリンシックゲッタリングゾーンは実質的に純度の高い半導体材料からなり、活性ゲッタリングサイトと、前記ウエハの前記第二の表面に位置する絶縁結合層と、前記絶縁結合層に結合したハンドルウエハと、単結晶半導体材料の前記第二の層に堆積したエピタキシャル単結晶半導体材料の層とを含む。前記単結晶半導体材料はシリコンからなり、前記注入イオンはシリコンイオンからなり、前記ハンドルウエハはシリコンからなり、前記絶縁結合層は二酸化ケイ素からなり、単結晶半導体材料の前記第一の層は約0.1 $\mu\text{m}$ から約0.8 $\mu\text{m}$ であり、単結晶半導体材料の前記第二の層は約0.2 $\mu\text{m}$ から約2.0 $\mu\text{m}$ の厚さを有する。

【0018】本発明の結合基板は、狭く限定され、デバイス領域の近位に位置するゲッタリングゾーンを有し、上記領域から汚染物除去の効率を向上させて、小型形態の製品の製造を容易にする。ゲッタリングゾーンは実質的に純度の高い半導体材料からなるので、その形成はウエハの構造的特性だけに影響を及ぼし、電気的特性には影響を与えない。本発明の結合基板は、信頼できる形で製造され、処理温度及び条件の幅広い範囲にわたり、結合基板に形成されたデバイスに優れた構造的安定性を付与する。

【0019】本発明は添付図面を引用して、例により詳細に説明される。

## 【0020】

【発明の実施の形態】図1を参照するに、本発明の結合基板10は一つの表面12を有するハンドルウエハ11

と、絶縁結合層13と、絶縁層13に結合した半導体デバイスウェハ14とを有する。半導体デバイスウェハ14は絶縁層13に隣接した単結晶半導体材料の第一の層15と、その第一の層15の上に位置する単結晶半導体材料の第二の層16とを有する。第二の単結晶半導体層16は、単結晶半導体材料中のゲッタリングサイトからなり、実質的に平面であるイントリンシックゲッタリングゾーン17を介在させて、第一の単結晶半導体層15から分離される。任意のエピタキシャル単結晶半導体層18を層16の表面19に堆積させることもできる。

【0021】図2(A)から図2(F)は、図1に示すデバイスウェハ14を形成する本発明の方法を示す。図2(A)に示すように、約1nmから約50nmの好ましい厚さを有する酸化物層21は、単結晶半導体材料のウェハ22に選択的に形成される。層21の酸化物は天然酸化物、化学的に成長させた酸化物、熱的に成長させた酸化物、若しくは堆積酸化物である。約1014から1018イオン/cm<sup>2</sup>の線量で半導体材料のイオン23が、存在するならば酸化物層21を介して、図2(B)に示すように、ウェハ22の選択された深さ24へ注入される。イオン注入の深さ24は利用したエネルギーにより制御され、例えば、約1.8keVでは約0.4μmの深さ24にシリコンイオンが注入されるのに対し、約90keVの低エネルギーでは、約0.2μmの深さ24にイオンが注入される。本発明によれば、単結晶半導体ウェハでのイオン注入の深さは、約0.1μmから2.0μmであり、好ましくは約0.2μmから0.6μmであり、イオン注入エネルギーは約50keVから250keVが好ましい。イオン注入は、1988年、McGraw-Hill, Inc., からのSze編集による「VLSI Technology」第二版のGilesによる第8章「Ion Implantation」に詳細に説明されており、その開示内容は本願に参考文献として引用される。

【0022】図2(C)から分かるように、イオン注入の結果として、アモルファス半導体層25が形成される。酸化物層21が存在するならば、アモルファス層25は層21に由来する酸素原子を含有する。未損傷の単結晶半導体材料の層26は、格子欠陥を含む単結晶半導体材料の実質的に平面である潜在的ゲッタリングゾーン27、つまり、注入損傷範囲の端部により、アモルファス層25から分離している。アモルファス層25は固相エピタキシャルアニーリングにより、図2(D)に示す単結晶半導体材料の層28へ変換させるのに効果的に条件下で加熱される。単結晶半導体層28を形成させるアモルファス層25のアニーリングは、約450°Cから1200°Cの温度で、約15分から8時間、好ましくは約550°Cから620°で、約2時間から6時間、空素、アルゴン若しくは水素のような非酸化雰囲気下で加熱することにより達成される。アニーリングにより欠陥サイトの形成を排除するのに十分な酸素が層28から除去される。

【0023】約800°Cから1200°Cで約1時間から6時間、好ましくは約1000°Cから1150°Cで約2時間から4時間、更に加熱することにより、格子欠陥により損傷した単結晶半導体材料のゾーン27を合体させて、活性ゲッタリングサイト含むゲッタリングゾーン17が形成する。前述した米国特許第5、229、305号で説明したのとは異なり、ゲッタリングゾーン17は、活性ゲッタリングサイトが生じる転位を含む実質的に純度の高い半導体材料からなることを強調しておく。イオン注入は半導体材料のイオン23、例えば、シリコンイオンで行われるので、半導体ウェハ14の電気的特性に影響を及ぼすドーパントや他の汚染物は、イオン注入の間に導入されない。

【0024】層25のアニーリングとゾーン27の合体は、効果的に温度-時間条件下で一段階で行うことが可能であるが、二段階の手順、つまり低温度での第一の段階と、その後の高温度での第二の段階で行うことが好ましい。ゾーン27の合体により、第一の層15と第二の層16とを分離する実質的に平面であるイントリンシックゲッタリングゾーン17が生じ、各層15、16は図2(E)に示すように、単結晶半導体材料からなる。ゾーン27は約0.2μmから0.4μmの初期の厚さを有しており、合体することにより、約0.05μmから約0.2μm、好ましくは約0.1μmの厚さを有するゲッタリングゾーン17が形成される。第一の単結晶半導体層15は約0.1μmから約0.8μmの厚さ、好ましくは約0.2μmから約0.4μmの厚さを有する。第二の単結晶半導体層16は層15よりは厚く、約0.2μmから20μmの所望の最終の厚さに薄くなる前より厚い、100μmの厚さを有する。

【0025】存在するならば、酸化物層21の除去により、図2(F)に示すように、デバイスウェハ14が作製される。なお、図2(F)に示すウェハ14の構造は図1の配向に対して逆になっていることに銘記しておく。

【0026】図3は、図2(F)に示すデバイスウェハ14を反転させて、ハンドルウェハ11の絶縁結合層13と結合させて、本発明の結合半導体-オネ-絶縁基板の形成の略図である。層12へのウェハ14へ結合させた後、厚い第二の単結晶半導体層16は所望の厚さに薄くなる。エピタキシャル単結晶半導体層18は、図1に示す薄くなった層16に堆積可能であり、アクティブデバイスがエピタキシャル層18内で組立てられる。

【0027】平面であるゲッタリングゾーン17はデバイスウェハ14内の深さ24に正確に位置させることが可能である。同様にして、第二の単結晶半導体層16の厚さは、エッチング、ラッピング、グライニング及びボリッシングを含む化学的若しくは機械的材料除去手段により制御可能である。結果として、ゲッタリングゾーン17は、層16の表面19若しくはエピタキシャル層1

8で形成されたデバイスに対して、正確に位置決めすることも可能である。

【0028】本発明の方法は、半導体－オン－絶縁体構造を有する基板へ応用可能である。しかしながら、デバイスウエハ14からなる半導体材料は単結晶シリコンが好ましく、ゲッタリングゾーン17は二酸化ケイ素の層22を介してシリコンイオン23を注入されることにより生じる。デバイスウエハ14からなる半導体材料は、ゲルマニウムであり、ゲッタリングゾーン17は酸化ゲルマニウムの層22を介してゲルマニウムイオン23を注入させることにより形成される。

【0029】ハンドルウエハ11は金属、絶縁体、シリコンカーバイド、ポリシリコン、又は好ましくは単結晶シリコンから作られる。絶縁結合層は何れかの絶縁材料からなるが、二酸化ケイ素からなることが好ましい。このようにして、本発明の方法は、基板に結合したシリコン－オン－絶縁体(SOI)を形成させるのに、特に有用であり、その基板に半導体デバイス及び集積回路が製造される。

【0030】図4は、本発明によるプラナーイントリントリックゲッタリングゾーン17を含む結合SOI基板10に形成されたエピタキシャル層18に形成されたバイポーラ接合型トランジスタ(BJT)40の断面を模式的に示す。トランジスタ40はエミッタ拡散42と、ベース拡散44とコレクタシンカ拡散46とを有する。エミッタ拡散42とシンカ拡散46の極性は同じであり、つまりn型又はp型であり、ベース拡散44の極性は反対、つまりp型又はn型である。シンカ拡散46は埋め込み層43に接続している。絶縁層48、49、50は、夫々エミッタ、ベース及びシンカ拡散42、44、46の金属接点52、54、56を分離させる。表面絶縁体51は相接続させる金属ライン58を保護し、トランジスタ40の表面を密閉する。酸化物側壁を有し、ポリシリコンで充填された横分離溝60、61はトランジスタ40の表面から埋め込み酸化物絶縁層13へ伸び、隣接デバイスからトランジスタ40を分離させる働きをする。BJTに加えて、デバイスの多くの他のタ

イプが本発明の結合基板につくることが可能である。例えば、抵抗器、コンデンサ、ダイオード、接合型とMOSFETとを含む電界効果トランジスタ(FET)、サイリスタなどがある。

【0031】本発明は実例を示す目的で詳細に説明したが、かかる詳細な説明はその目的のためだけであることは理解され、特許請求の範囲にて明確にされた本発明の精神及び範囲から逸脱することなく、当業者には本願での変更態様は想到できるであろう。

#### 【図面の簡単な説明】

【図1】本発明の結合半導体－オン－絶縁体の模式的断面図である。

【図2】プラナーイントリントリックゲッタリングゾーンを含むデバイスウエハを形成する各段階の略図である。

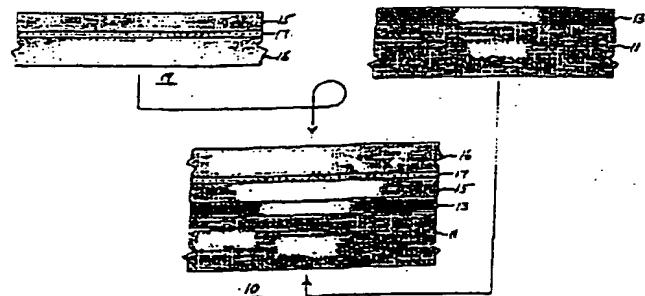
【図3】本発明の結合基板を形成するように、ハンドルウエハと、プラナーイントリントリックゲッタリングゾーンを含むデバイスウエハとの結合の略図である。

【図4】本発明の結合基板に形成されたバイポーラ接合型トランジスタ(BJT)の断面である。

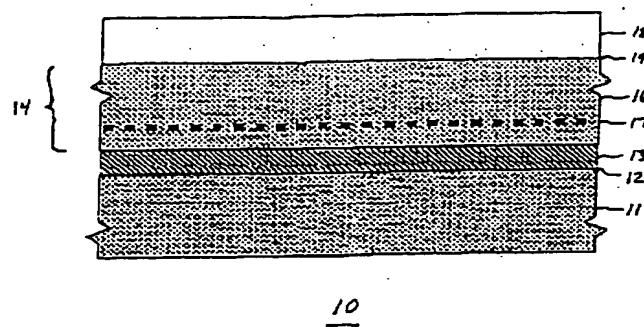
#### 【符号の説明】

10	結合基板
11	ハンドルウエハ
12	表面
13	絶縁結合層
14	半導体デバイスウエハ
15	単結晶半導体材料の第一の層
16	単結晶半導体材料の第二の層
17	ゲッタリングゾーン
18	エピタキシャル層
19	表面
21	酸化物層
22	ウエハ
23	シリコンイオン
24	深さ
25	アモルファス半導体層
26	未損傷の単結晶半導体材料
27	潜在的ゲッタゾーン

【図3】

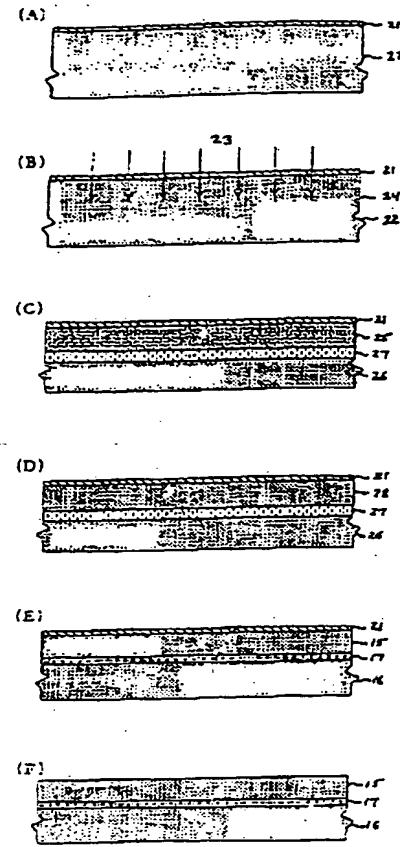


[图 1]



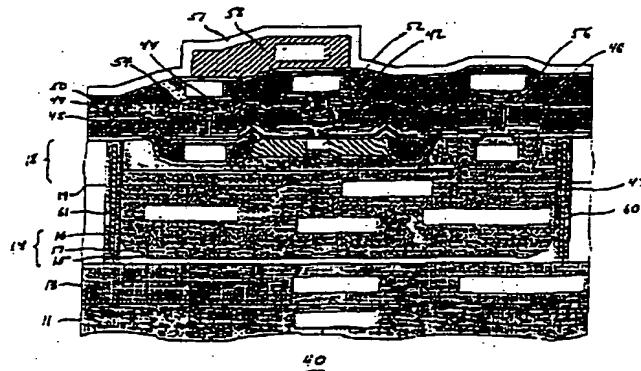
10

[图2j]



14

【四】



٤٥

【手続補正書】

【提出日】平成12年3月3日(2000.3.3)

【手続補正1】

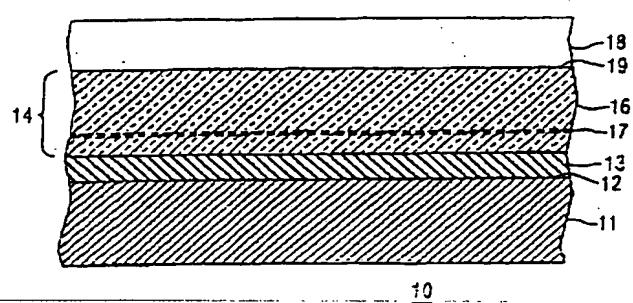
【補正対象書類名】図面

【補正対象項目名】全図

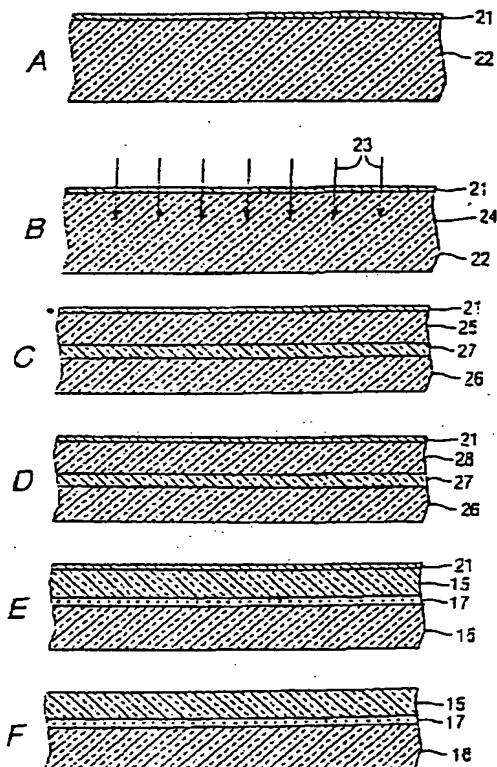
【補正方法】変更

【補正内容】

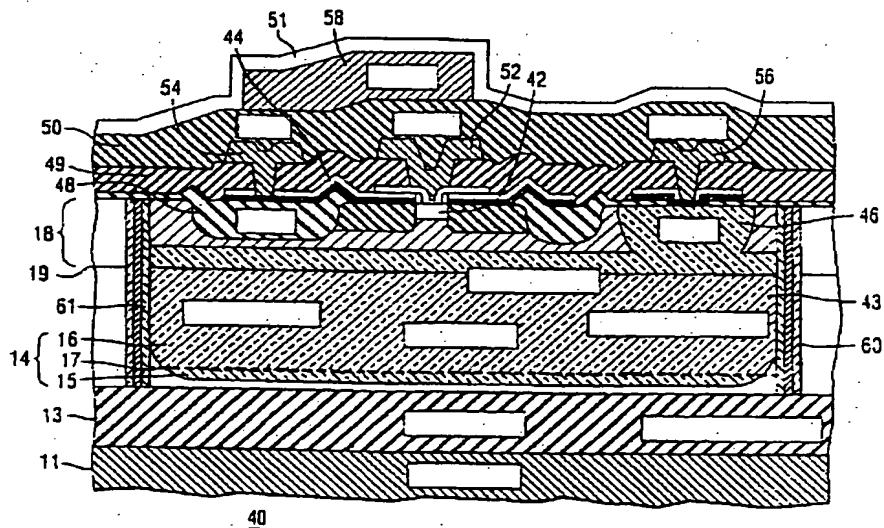
【図1】



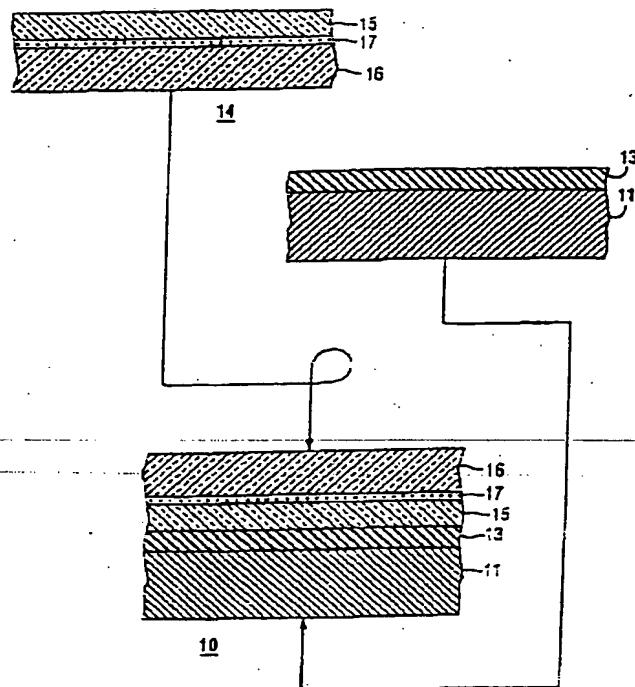
【図2】



【図4】



【図3】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マコード (参考)

H 01 L 29/73

(72) 発明者 ウィリアム・スピース

アメリカ合衆国、フロリダ州 32909,  
メルバーン、エス・イー・ハッチャー  
ストリート 533番